

NOMBRE DE LA ASIGNATURA O UNIDAD DE APRENDIZAJE

SISTEMAS DIGITALES CON VHDL

CICLO

OPTATIVA

CLAVE DE LA ASIGNATURA

ORSC5

OBJETIVO(S) GENERAL(ES) DE LA ASIGNATURA

Capacitar al estudiante en el desarrollo de circuitos electrónicos digitales para implementarse en dispositivos reconfigurables (FPGA) mediante el uso de VHDL.

TEMAS Y SUBTEMAS

1. Conceptos preliminares de electrónica digital

- 1.1 Lógica binaria
 - 1.1.1 Álgebra de Boole y tablas de verdad
 - 1.1.2 Minimización de funciones
 - 1.1.3 Funciones lógicas básicas
- 1.2 Aritmética binaria
 - 1.2.1 Sistemas numéricos binarios, octal y hexadecimal y conversiones.
 - 1.2.2 Representación de números negativos, complemento a 2, complemento a 1 en el sistema binario.
 - 1.2.3 Suma y Sustracción en el sistema complemento a 2 y complemento a 1 con prueba de sobre capacidad
- 1.3 Código en VHDL: estructura básica

2. Circuitos combinacionales con VHDL

- 2.1 Definición de lógica combinacional.
- 2.2 Decodificadores y codificadores
- 2.3 Multiplexores y demultiplexores.
- 2.4 Compuertas XOR y circuitos de paridad.
- 2.5 Comparadores.
- 2.6 Sumadores, Restadores.
- 2.7 Multiplicadores combinacionales.
- 2.8 ALU.

3. Circuitos secuenciales con VHDL

- 3.1 Definición de lógica secuencial
- 3.2 Latches y Flip Flops.
- 3.3 Circuitos síncronos y asíncronos. %
- 3.4 Registros.
- 3.5 Contadores.
- 3.6 Secuenciadores.
- 3.7 Máquinas de Estados Finitos
- 3.8 Lógica de tres estados.

4. Tiempo-frecuencia e interfaces de comunicación

- 4.1 Periodo y frecuencia.
- 4.2 Fase y ancho de pulso.
- 4.3 Bloques de manejo de tiempo-frecuencia.
- 4.4 Interfaz VGA.
- 4.5 Interfaz RS-232.
- 4.6 Interfaz SPI.
- 4.7 Interfaz I2C.

5. Memorias de bloque

- 5.1 Tipos de memorias.
- 5.2 Memorias FIFO.
- 5.3 Memorias LIFO.

5.4 Memoras en estructuras digitales.

6. Aplicaciones de sistemas digitales

ACTIVIDADES DE APRENDIZAJE

- i) **Frente a docente:** Se cubre un total de 28 sesiones de una hora y media a la semana con la participación activa del estudiante.
- ii) **Independientes:** El estudiante realiza al menos 42 horas de actividades diversas fuera del aula como: tareas, solución de problemas, lectura y análisis de artículos de investigación y otras referencias bibliográficas.

CRITERIOS Y PROCEDIMIENTOS DE EVALUACION Y ACREDITACION

La impartición del curso se realizará de manera presencial en la unidad Aguascalientes con una duración de 4 hrs por semana. El curso es de tipo teórico – práctico ya que se desarrollarán prácticas en el entorno de Active HDL que es el compilador para VHDL, así como implementaciones en tarjetas FPGA usando software de Altera (Quartus) o Xilinx (ISE o VIVADO).

Los criterios de evaluación del curso se proponen de la siguiente forma: -

- 2 Exámenes parciales: 40 %
- Tareas y reportes de prácticas: 30 %
- Proyecto Final: 30 %

BIBLIOGRAFÍA

- Circuit design and simulation with VHDL
Volnei A. Pedroni
The MIT Press
- Electrónica digital y lógica programable
René de J. Romero Troncoso
Universidad de Guanajuato
- Hojas de datos y manuales de tarjetas con FPGA